

# 高精度 SRAM 端口时序参数测量电路的设计与实现

李 恒, 王 琴, 蒋剑飞

(上海交通大学 微电子学院, 上海 200240)

**摘 要:** 对一种普通的数字时间转换器(Digital-to-Time Converter, DTC)进行了改进, 能实现对输入信号延时的两级调节, 一级粗调, 一级精调, 在 SMIC 130 nm 工艺下, 调节范围为 0~2.0 ns, 调节精度达到 5 ps, 同时减少了一半的面积, 优化了结构的非线性误差。利用改进后的 DTC 结构, 设计了两种测量方案, 分别实现了对 SRAM 输入端口的建立时间、保持时间及输出端口的数据读取时间的测量。仿真结果表明, 该电路对 SRAM 各个端口时序参数测量的误差小于 3.33%。

**关键词:** 时序参数测量; 建立/保持时间; 数据读取时间; 数字时间转换器

**中图分类号:** TN492

**文献标识码:** A

**文章编号:** 1000-7180(2016)07-0125-04

## Design and Implementation of a High-resolution SRAM Timing Parameters Measuring Circuit

LI Heng, WANG Qin, JIANG Jian-fei

(School of Microelectronics, Shanghai Jiao Tong University, Shanghai 200240, China)

**Abstract:** A common DTC (Digital-to-Time Converter) circuit structure has been optimized, it is able to achieve two-stage adjustment levels, both coarse and specific level. With the SMIC 130 nm technology, the adjustment range of the DTC structure reaches 0 ~ 2.0 ns and the resolution achieves 5 ps. Meanwhile, the area of circuit is can be cut down by 50%, and non-linear error is optimized as well. Based on the improved DTC, two measuring schemes are designed to measure the setup time and hold time for input ports, and the data access time for output ports. The simulation result shows that the overall measurement error is less than 3.33%.

**Key words:** timing parameter measuring; setup /hold time; data access time; digital-to-time converter

### 1 引言

基于 IP 的 SoC 集成电路设计已经成为主流, 在 IP 交付时, 不仅需要确保 IP 的功能满足要求, IP 接口的时序参数也要保证。硬核 IP 的时序参数需要在芯片上进行验证, 要求在片上设计专门的电路进行测量。随着数字集成电路尺寸的不断缩小和工作频率的不断提高, 数字 IP 端口的时序参数越来越小, 对这些参数进行精确测量的难度也越来越大。片上测量电路的核心部分一般是数字时间转换器(DTC)和时间数字转换器(TDC)。文献[1]设计的 DTC 结构, 能测量同步电路建立/保持时间的范围

达到-0.6~0.6 ns, 精度达 3 ps (Global Foundries 65G process)<sup>[1]</sup>; 文献[2]中设计的 TDC 采用伪差分的延迟链结构, 可用来测量两个脉冲的微小时间间隔, 在 90 nm 工艺下能达到 20 ps 的测量精度<sup>[2]</sup>。

对于很多数字 IP 如 SRAM IP, 其端口时序参数包括输入端口的建立和保持时间, 以及输出端口的数据读取时间。这两种时序参数大小差异很大, 一般需要采用不同的方法来测量, 如文献[1-2]中的结构分别只能测量其中一种参数。为了实现更全面的测量, 分别设计两种测量电路, 显然是复杂且不经济的。本文对文献[1]中 DTC 结构进行了改进, 使用改进后的结构和两个测量方案, 能测量出 SRAM 所

有端口的时序参数:输入端口(D, ADDR, CE, WE)的建立和保持时间,以及输出端口 Q 的数据读取时间. 另外,本设计具有很强的通用性,能用来测量多种其他数字 IP 的端口时序参数.

2 SRAM 端口时序参数测量方案

片上测量时序参数的电路中,常用到 DTC 和 TDC. DTC 由可调延时链构成,能根据控制端数字量的大小,对输入信号产生相应延时,实现数字量到信号延时量的转换,利用 DTC 不断调节信号到达 IP 输入端口的延时,使端口的信号不断逼近要违反建立/保持时间约束的情况,来测出输入端口建立/保持时间的值<sup>[1]</sup>;相反的, TDC 是把两个输入脉冲的上升沿时间间隔转换成相应的数字量输出,实现时间量到数字量的转换,可以用来测量微小时间间隔,输出端口数据读取时间,通常采用 TDC 结构来测量<sup>[2-3]</sup>.

2.1 SRAM 输入端口建立/保持时间的测量

SRAM 需要测量的输入端口有:数据输入端 D,地址输入端 ADDR,芯片使能端 CE,写使能端 WE. 以测量 D 端建立时间为例,CLK 和 D 信号分别经过 DTC\_CLK 和 DTC\_D 的延时之后,再进入 SRAM 的 D 端口和 CLK 端口. 固定 DTC\_D 的值,调节 DTC\_CLK,如图 1 所示.

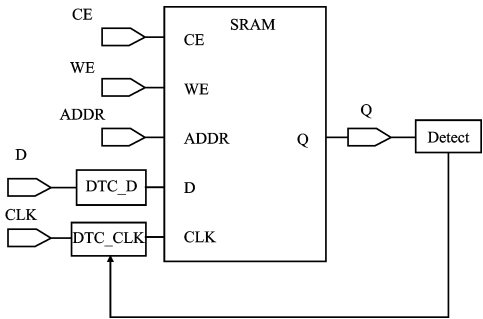


图 1 SRAM D 端口建立/保持时间测量方案

测量 D 端建立时间的步骤如下所示.

- (1)使 Q 的初始值为 0,并且 DTC\_CLK 的延时量足够大,让 D 满足建立时间,此时 Q 端会跳变为 1.
- (2)逐渐减小 DTC\_CLK 的延时量,不断减小 D 和 CLK 的时间间隔,直到 Q 端一直保持 0 不变,不会发生跳变.
- (3)此时 D 和 CLK 的上升沿时间间隔刚好满足 D 的建立时间,这个时间间隔等于 DTC\_CLK 和 DTC\_D 延时量的差值,即为 SRAM 的 D 端口的建

立时间.

测量 D 端保持时间的方法跟测量建立时间类似,只是 CLK 和 D 时序关系不同,如图 2 所示.

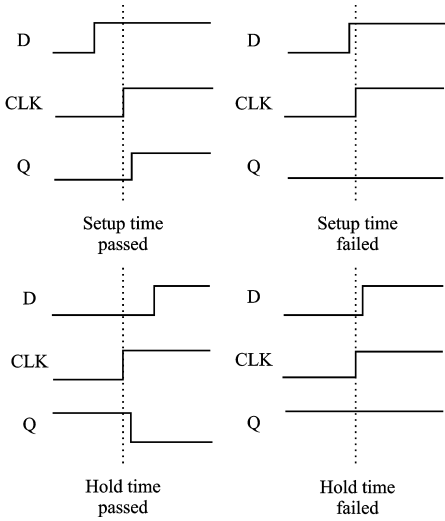


图 2 时序约束满足/失效示意图

同样的方法可以测出 ADDR, CE, WE 等输入端口的建立/保持时间.

2.2 SRAM 输出端口数据读取时间的测量

SRAM 输出端口数据读取时间,就是对 SRAM 进行读操作时,CLK 上升沿和 Q 端上升沿的时间间隔<sup>[3]</sup>. 将 SRAM 两个不同存储单元分别存储 0 和 1,再周期性的进行读 0 读 1 操作,这样 Q 端不断产生周期性脉冲. 如图 3 所示,CLK 和 Q 信号分别经过 DTC\_CLK 和 DTC\_Q,不断增大 DTC\_CLK 的延时量,使延时后的 CLK 和 Q 的上升沿时间间隔不断减小,直至为 0,用一种建立时间为 0 的 DFF 来检测<sup>[4]</sup>. 此时 DTC\_CLK 和 DTC\_Q 的延时差就是 Q 端数据读取时间.

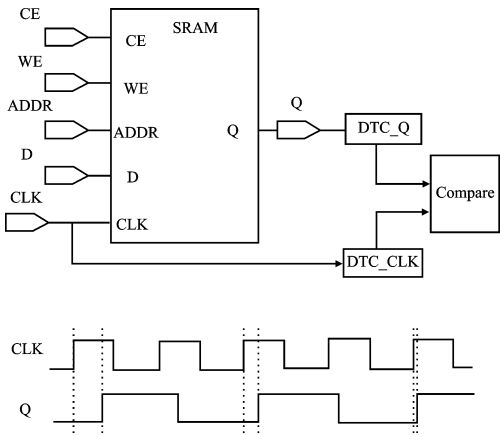


图 3 SRAM Q 端口数据读取时间测量方案

### 3 DTC 结构的设计

DTC 结构根据数字量对输入信号产生相应的延时,一般用可调延时链来实现.主要的性能指标有延时范围、精度以及线性度.为了达到大的延迟量及较小的步长,设计中的 DTC 结构由两级调节模块构成,第一级为粗调模块,第二级为精调模块. DTC 总的延时范围由粗调模块决定,精度由精调模块决定.

#### 3.1 粗调模块的设计

粗调模块通过改变延迟单元个数来调节延迟时间,模块设计的关键部分在于控制非线性误差,即要尽可能使信号的延时量和信号通过的延迟单元个数成正比.文献[1]的 DTC 结构中,粗调模块由  $2^N$  ( $N=7$ ) 个延迟 Buffer 和  $2^N$  选 1 的选择器构成,  $2^N$  选 1 选择器由  $N$  级 Mux2 构成,如图 4(a)所示. 由于篇幅限制,图 4(a)中仅画出  $N=3$  的结构示意图. 为了减小非线性误差,文献[1]中采用了 Balanced Mux2 结构,由 12 个 mos 管构成,  $2^N$  选 1 选择器总共需要  $12 \times (2^N - 1)$  个 mos 管. 这种设计不仅功耗大面积大,且输入信号除了经过延迟链还要经过  $N$  层选择器,导致了较大的非线性误差.

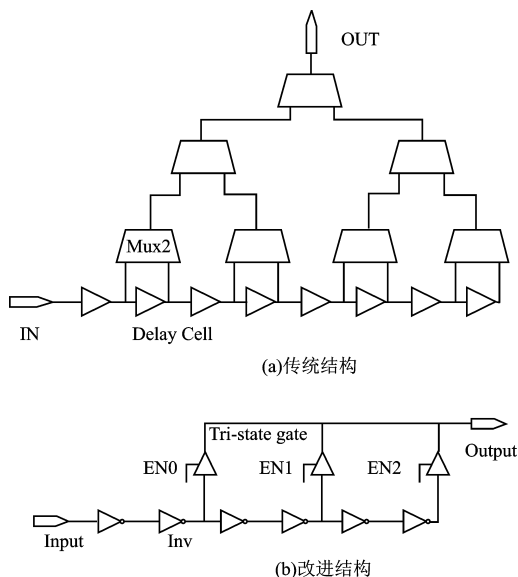


图 4 两种 DTC 结构粗调模块对比

本设计中,根据实际项目需求和工艺条件,采用 64 ( $N=6$ ) 级的延迟链, 64 选 1 选择器由  $2^N$  个三态门构成,每次只允许一个三态门导通. 每个三态门由 6 个 mos 管构成,总共只需  $6 \times 2^N$  个 mos 管. 如图 4(b)所示,这种结构较传统的结构面积减小了一半,且输入信号不用经过多层 Mux2 选择器,大大减小

了因工艺偏差造成的非线性误差. 另外,可扩展性高,要扩展延迟链,只需要线性增加延迟 Buffer 和三态门即可.

两种结构分别在 Cadence Composer 中实现,采用 SMIC 130 nm 工艺,通过 Spectre 仿真,分别得出两种结构中每个 Buffer 的延时与平均值  $T_{buf}$  的偏差. 如图 5 所示,文献[1]DTC 结构粗调模块中每个延迟 Buffer 的延迟标准差为 1.500,改进后的 DTC 结构中每个延迟 Buffer 的延迟标准差为 0.443. 从仿真数据可以看出,改进后的粗调模块,不仅需要的 mos 管数目减少一半,而且线性度也更好.

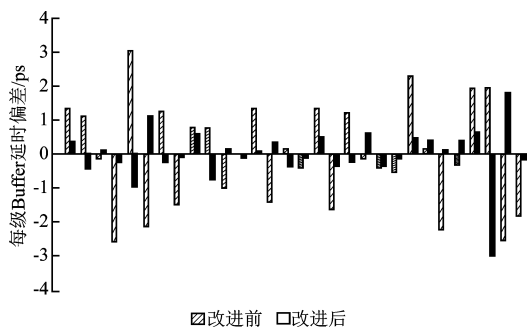


图 5 改进前后的延迟链非线性误差对比

#### 3.2 精调模块的设计

精调模块,通过改变延迟单元的负载来调节延迟时间. 如图 6 所示,精调模块每个延迟单元由两个 Buffer 和可控负载构成<sup>[5]</sup>,用两个 Buffer,是为了防止对下一个延迟单元造成影响. 三态门作为控制开关,悬空的反相器作为负载. 通过调节负载反相器的尺寸,实现 CTRL=1 时延迟单元的延时比 CTRL=0 时增大 5 ps,将 15 个同样的延迟单元串联组成精调模块. 因此,精调模块的测量精度达到 5 ps,量程达到 75 ps. 需要注意的是,精调模块的量程要大于粗调模块的最小步长.

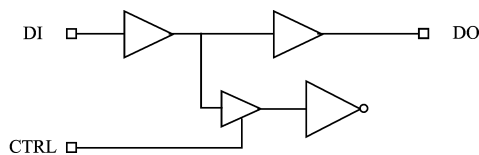


图 6 精调模块中延迟单元的结构

将粗调模块和精调模块串联,加上一定的控制逻辑,使其配合工作,组成整个 DTC 结构. 控制逻辑包含一个状态机和两个计数器. 计数器 cnt\_stage1 的输出连接粗调的控制端,用来决定信号经过粗调模块时通过的延迟 Buffer 的个数;计数器 cnt\_stage2 的输出连接精调模块的控制端,用来决

定精调模块中每个延迟单元的负载的开关. 通过改变 cnt\_stage1 和 cnt\_stage2 的值来控制两级延迟模块的延时大小.

状态机工作模式: 复位状态下, cnt1, cnt2 都为 0; 测量开始后, 每个测量周期, cnt2 加 1, 直到 cnt2 = 15; cnt2 归零, cnt1 加 1; 如此反复, 直到 DTC 的延时值达到目标值.

#### 4 测量结果

综合两级调节模块, 得到 DTC 结构的参数如表 1 所示. 其中, 粗调模块共有 64 个延迟单元, 测量建立时间和保持时间分别用到 32 个.

| 表 1 DTC 结构参数 |          |           |           |
|--------------|----------|-----------|-----------|
|              | 有效延迟单元个数 | 步长/<br>ps | 量程/<br>ps |
| 粗调模块         | 32       | 62        | 1 984     |
| 精调模块         | 15       | 5         | 75        |
| DTC          | 48       | 5         | 2 059     |

待测 SRAM 由 SMIC 130 nm 工艺下 Memory Compiler 生成, 工作频率 166 MHz, 深度为 512, 位宽为 8 位. 将 DTC 网表、SRAM 网表, 以及用 Verilog 描述的控制逻辑通过 Nanosim 进行联合仿真, 测

量方案和 DTC 的结构文中已有介绍, 此方案测出的结果我们称为实际测量值. 为了评估测量结果的准确度, 我们设计了一种仿真方案作为对比. 对于输入端口建立/保持时间, 将输入信号和 CLK 信号上升沿间隔设置为变量, 变量范围是 -300~300 ps, 步长为 5 ps, 变量不断改变, 来模拟 DTC 的工作过程; 对于数据读取时间, 直接查看 CLK 和 Q 信号的波形, 计算出两个信号上升沿时间间隔即可. 此方案的结果我们称为仿真参考值.

两种方案的测量结果如表 2 所示, 表明本文设计的测量结构能对 SRAM 的时序参数进行准确测量, 在本实验环境下, 误差不超过 3.33%.

#### 5 结束语

本文对一种普通的 DTC 结构进行了改进, 使电路面积减小了一半, 优化了线性度, 设计了两种测量方案, 实现了对 SRAM 的输入端口建立/保持时间, 以及输出端口数据读取时间的测量, 在 SMIC 130 nm 工艺下, 测量范围达到 2 ns, 精度达 5 ps, 测量误差控制在 3.33% 以内. 该 DTC 结构和测量方案可用于其他数字 IP 端口时序参数的测量, 具有较强的通用性.

表 2 SRAM 时序参数测量结果

|             | 参数       | 粗调模块值/ps | 精调模块值/ps | 实际测量值/ps | 仿真参考值/ps | 误差    |
|-------------|----------|----------|----------|----------|----------|-------|
| D 端口建立时间    | $T_{ds}$ | 2        | 10       | 174      | 180      | 3.33% |
| D 端口保持时间    | $T_{dh}$ | 0        | 0        | 0        | 0        | 0     |
| ADDR 端口建立时间 | $T_{as}$ | 2        | 7        | 159      | 155      | 2.58% |
| ADDR 端口保持时间 | $T_{ah}$ | 0        | 0        | 0        | 0        | 0     |
| CE 端口建立时间   | $T_{cs}$ | 2        | 3        | 137      | 140      | 2.14% |
| CE 端口保持时间   | $T_{ch}$ | 0        | 0        | 0        | 0        | 0     |
| WE 端口建立时间   | $T_{ws}$ | 2        | 11       | 179      | 185      | 3.24% |
| WE 端口保持时间   | $T_{wh}$ | 0        | 0        | 0        | 0        | 0     |
| Q 端口数据读取时间  | $T_{cq}$ | 14       | 4        | 888      | 871      | 1.95% |

注: 该 SRAM D 端口和 Q 端口有 8 位, ADDR 端口有 16 位, 取其所有位测量结果的最大值.

#### 参考文献:

[1] Zhihong L, Yihao Z, Law H. Self-Calibrate two-step digital setup/hold time measurement[C]//VLSI Design Automation and Test (VLSI-DAT), 2010 International Symposium on. Hsin Chu: IEEE, 2010: 232-235.

[2] Robert Bogdan Staszewski, Sudheer Vemulapalli, porasant Vallur, et al. 1.3 V 20 ps Time-to-Digital Converter for Frequency Synthesis in 90-nm CMOS[J]. IEEE Transactions on Circuits and Systems II: express briefs, 2006, 53(3): 220-225.

[3] Lee M K, Teng W K, Krishnasamy R K, et al. Delay-line based embedded memory access time measurement: Circuit, implementation and characterization techniques[C]//Quality Electronic Design (ASQED), 2012 4th Asia Symposium on. Penang: IEEE, 2012: 259-264.

[4] 戴燕云, 沈继忠. Structure and design method for pulse-triggered flip-flops at switch level[J]. Journal of Central South University of Technology, 2010, 17(6): 1279-1284.

单个 TSV, 线长增加了 19.6%, 功耗增大了 19.2%. 虽然线长和功耗均有增大, 但是 TSV 正确传输信号的概率大大增加, 如前所述, 对于一个传输 4 个信号的 3×3TSV 阵列, 其信号正确传输的概率在原来的基础上提高了 11.98%. 在综合 TSV 阵列设计的其余优点, 如利于 DFT 测试、高频情况下防止串扰等等, 是未来 3D 集成电路设计的一个良好方案.

参考文献:

[1] Meindl J D, Chen Q, Davis J A. Limits on silicon nanoelectronics for terascale integration[J]. Science, 2001, 293(5537):2044-2049.

[2] Thorolfsson T, Gonsalves K, Franzon P D. Design automation for a 3DIC FFT processor for synthetic aperture radar: A case study[C]// Design Automation Conference46th ACM/IEEE. San Francisco, CA: IEEE, 2009:51-56.

[3] Pang C, Wang Z, Ren X, et al. Electrical simulation of 3X3 TSV array with different signal and ground patterns [C]// Electronic Packaging Technology (ICEPT), 2013 14th International Conference on.

Dalian: IEEE, 2013:417-420.

[4] Yao W, Shi F, He L, et al. Power-bandwidth trade-off on TSV array in 3D IC and TSV-RDL junction design challenges[C]// Electrical Performance of Electronic Packaging and Systems (EPEPS), 2012 IEEE 21st Conference on. Tempe, AZ:IEEE, 2012:79-82.

[5] Zhao Y, Khursheed S, Al-Hashimi B M. Cost-effective TSV grouping for yield improvement of 3D-ICs [C]// 2012 IEEE 21st Asian Test Symposium IEEE. New Delhi: IEEE, 2011:201-206.

作者简介:

王畑夕 女, (1991-), 硕士研究生. 研究方向为大规模集成电路设计. E-mail: wtxdianzi@163. com.

蒋建飞 男, (1979-), 助理研究员. 研究方向为高速集成电路设计.

王 琴 女, (1975-), 副教授. 研究方向为三维集成电路设计.

毛志刚 男, (1962-), 教授, 博士生导师. 研究方向为大规模集成电路设计、可重构体系结构设计、集成电路与元器件可靠性等.

(上接第 128 页)

[5] Andreani P, Bigongiari F, Roncella R, et al. A digitally controlled shunt capacitor CMOS delay line[J]. Analog Integrated Circuits and Signal Processing, 1999, 18 (1): 89-96.

作者简介:

李 恒 男, (1991-), 硕士. 研究方向为大规模集成电路设计. E-mail: liheng\_hust@163. com.

王 琴 女, (1975-), 副教授. 研究方向为大规模集成电路设计、先进集成电路设计方法.

蒋剑飞 男, (1979-), 助理研究员. 研究方向为高速集成电路设计.